

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-275058

(43) 公開日 平成4年(1992)9月30日

(51) Int.Cl.⁵
H 02 M 1/08
7/06
7/48

識別記号 311 D 8325-5H
A 9180-5H
F 8730-5H

F I

技術表示箇所

審査請求 有 請求項の数1(全7頁)

(21) 出願番号 特願平3-33911
(22) 出願日 平成3年(1991)2月28日

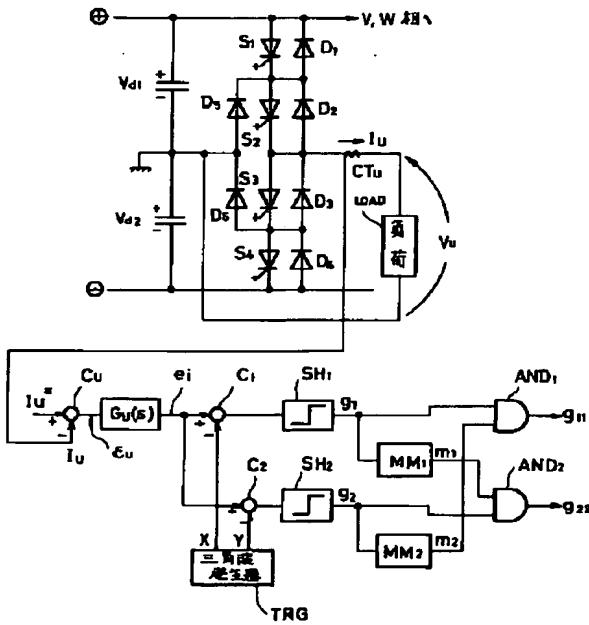
(71) 出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72) 発明者 田中 茂
東京都府中市東芝町1番地 株式会社東芝
府中工場内
(72) 発明者 三浦 和敏
東京都府中市東芝町1番地 株式会社東芝
府中工場内
(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 中性点クランプ式電力変換器の制御装置

(57) 【要約】

【目的】 本発明は、中性点クランプ式電力変換器において、直列接続された4個の自己消弧素子S₁～S₄の内1つの素子に直流全電圧が加わるモードがあって素子が破壊される危険性があるので、これを防止したものである。

【構成】 パルス幅変調制御用搬送波信号として、1つは零とプラス側で変化する三角波Xと、もう1つはXと同相で零とマイナス側で変化する三角波Yを発生する三角波発生器TRGと、これらの三角波X及びYとPWM制御入力信号e₁とを比較してゲート信号g₁, g₂を作る手段と、ゲート信号g₁が「1」から「0」に変化するとき△tだけゲート信号g₂を「0」の状態に固定する新たなゲート信号g₂₁を作る手段と、ゲート信号g₂が「1」から「0」に変化するとき△tだけゲート信号g₁を「0」の状態に固定する新たなゲート信号g₁₁を作る手段を備し、このゲート信号g₁₁及びg₂₁を用いて電力変換器を制御する。



1

2

【特許請求の範囲】

【請求項1】 直列接続された4個の自己消弧素子S₁、S₂、S₃、S₄と、これらの各素子に逆並列接続されるフリー・ホイリングダイオードD₁、D₂、D₃、D₄と、クランプ用ダイオードD₅、D₆とで構成される中性点クランプ式電力変換器において、パルス幅変調制御用搬送波として、1つは零とプラス側で変化する三角波X、もう1つは零とマイナス側で変化する三角波Yを発生する手段と、この2つの三角波X、YとPWM制御入力信号e₁とを比較し、

$$\begin{aligned} e_1 > X \text{ のとき, } g_1 &= 1 \\ e_1 \leq X \text{ のとき, } g_1 &= 0 \\ e_1 \geq Y \text{ のとき, } g_2 &= 0 \\ e_1 < Y \text{ のとき, } g_2 &= 1 \end{aligned}$$

となる第1及び第2のゲート信号g₁、g₂を作る手段と、前記第1のゲート信号g₁が「1」から「0」に変化するとき一定時間Δtだけ前記第2のゲート信号g₂を「0」の状態に固定させた新たなゲート信号g₂₂を作る手段と、前記第2のゲート信号g₂が「1」から「0」に変化するとき一定時間Δtだけ前記第1のゲート信号g₁を「0」の状態に固定させた新たなゲート信号g₁₁を作る手段を設け、

前記ゲート信号g₁₁=1のとき、前記素子S₁をオン（素子S₃をオフ）

g₁₁=0のとき、前記素子S₃をオン（素子S₁をオフ）

g₂₂=0のとき、前記素子S₂をオン（素子S₄をオフ）

g₂₂=1のとき、前記素子S₄をオン（素子S₂をオフ）

となるようにパルス幅変調制御するようにしたことを特徴とする中性点クランプ式電力変換器の制御装置。

【発明の詳細な説明】

【発明の目的】

【0001】

【産業上の利用分野】本発明は、交流電力を直流電力に変換するパルス幅変調制御（PWM制御）コンバータや、直流電力を交流電力に変換するPWM制御インバータ等に適用される3レベルの出力電圧を発生する中性点クランプ式電力変換器の制御装置に関する。

【0002】

【従来の技術】図4は、中性点クランプ式インバータの主回路構成図を示す。図は1相分（U相分）を示し、3相出力インバータの場合、V、W相も同様に構成される。

【0003】図中、V_{d1}、V_{d2}は直流電源、S₁～S₄は自己消弧素子、D₁～D₄はフリー・ホイリングダイオード、D₅、D₆はクランプ用ダイオード、LOADは負荷である。

【0004】このインバータの出力電圧V_oは、4つの

10

20

30

40

50

素子S₁～S₄をオン、オフさせることによって、次のように変化する。ただし、全体の直流電圧をV_dとし、V_{d1}=V_{d2}=V_d/2とする。即ち、S₁とS₂がオンのとき、V_o=+V_d/2 S₂とS₃がオンのとき、V_o=0 S₃とS₄がオンのとき、V_o=-V_d/2となる。この時、素子は2個ずつオンさせなければならない。3個同時にオンになると、直流電源を短絡し、過電流によって素子を破壊してしまう。

【0005】例えば、素子S₁～S₃にオン信号が入ると、直流電圧V_{d1}を素子S₁～S₂～S₃～ダイオードD₆で短絡し、過大な短絡電流が素子に流れ、素子を壊してしまう。

【0006】このような直流短絡を防止するため、素子S₁とS₃を逆動作させ、素子S₂～S₄を逆動作させている。即ち、素子S₁がオンのときは素子S₃をオフさせ、素子S₃がオンのときは素子S₁をオフさせている。同様に、素子S₂がオンのときは素子S₄をオフさせ、素子S₄がオンのときは、素子S₂をオフさせている。図5は、中性点クランプ式インバータの従来のパルス幅変調制御法を説明するためのタイムチャート図である。

【0007】図中、X、YはPWM制御の搬送波信号で、Xは+E_{MAX}～0の間を変化する三角波、Yは-E_{MAX}～0の間を変化する三角波である。また、e₁はPWM制御入力信号である。入力信号e₁と三角波X、Yとを比較し、素子S₁～S₄のゲート信号g₁、g₂を作る。即ち、

$$\begin{aligned} e_1 > X \text{ のとき, } g_1 &= 1 \text{ で, } S_1 \text{ はオン, } S_3 \text{ はオフ} \\ e_1 \leq X \text{ のとき, } g_1 &= 0 \text{ で, } S_1 \text{ はオフ, } S_3 \text{ はオン} \\ e_1 \geq Y \text{ のとき, } g_2 &= 0 \text{ で, } S_4 \text{ はオフ, } S_2 \text{ はオン} \\ e_1 < Y \text{ のとき, } g_2 &= 1 \text{ で, } S_4 \text{ はオン, } S_2 \text{ はオフ} \end{aligned}$$

となる。この結果、出力電圧V_oは、図の最下段のようになり、その平均値（破線で示す）は入力信号e₁に比例した値となる。このように、中性点クランプ式インバータでは、出力電圧V_oとして、3レベル(+V_d/2, 0, -V_d/2)の電圧が得られ、高調波成分の少ない電圧波形となる。電動機負荷の場合は、電流の脈動は小さくなり、トルクリップルも低減できる利点がある。

【0009】

【発明が解決しようとする課題】しかし、従来の中性点クランプ式インバータの制御装置には、次のような問題点がある。図6は、図5と同様に従来のPWM制御方法を説明するためのタイムチャート図を示すもので、入力信号e₁が急激に変化した場合の動作を表す。

【0010】e₁がa点で、正から負に急変すると、ゲート信号g₁は「1」から「0」に、ゲート信号g₂は「0」から「1」に変化する。このゲート信号に従つ

て、素子 $S_1 \sim S_4$ が瞬時にオン、オフできれば、出力電圧 V_o は図示のようになり、何の問題も発生しない。

【0011】しかし、大容量のインバータでは、自己消弧素子としてGTO（ゲートターンオフサイリスタ）などが使われ、ターンオフ時の過電圧を抑制するためスナバ回路が設置される。

【0012】このスナバ回路のコンデンサの電圧を初期化する（放電させる）ため、GTOをオンさせた時、一定時間（最小オン時間：例えば100マイクロ秒程度）オン状態を維持しなければならない。

【0013】図7は、図6のa点付近のゲート信号の動作を拡大したものでゲート信号 $g_1 = 1$ の幅が最小オン時間 Δt_{on} より狭くなった場合を示す。素子 S_1 の最小オン時間 Δt_{on} を確保するため、ゲート信号 g_1 は g_1' のように1の期間が広げられる。この結果、 g_1' と g_2 とが期間 δ だけ重なり、素子 S_1 がオン、 S_2 がオフ、 S_3 がオフ、 S_4 がオンとなる。

【0014】図4の主回路において、出力電流 I_o が図の矢印の向に流れている場合、ダイオード D_3, D_4 が導通し、かつ素子 S_1 にオン信号が来ているので、素子 S_2 に直流全電圧 $V_d = V_{d1} + V_{d2}$ が印加される。逆に、出力電流 I_o が図の矢印と反対方向にながれている場合は、ダイオード D_1, D_2 が導通し、 S_4 にオン信号が入っているので、素子 S_3 に全電圧 V_d が印加される。中性点クランプ式インバータでは、各素子（各アーム）の耐圧は直流電圧 V_d の半分が印加されるものとして設計されており、全電圧が印加された場合、過電圧により素子破壊に至ってしまう。

【0015】このように従来の中性点クランプ式インバータのPWM制御装置では、入力信号 e_1 が急変した場合、素子 S_2 或いは S_3 のいずれかに直流全電圧が印加される危険があり、最悪の場合、素子破壊に至り、装置の運転を停止せざるを得なくなる。

【0016】本発明は、以上の問題点に鑑みてなされたもので、PWM制御の入力信号 e_1 が急激に変化しても1つの素子に直流全電圧が印加されることのないような中性点クランプ式電力変換器の制御装置を提供することを目的とする。

[発明の構成]

【0017】

【課題を解決するための手段】前記目的を達成するために本発明は、直列接続された4個の自己消弧素子 S_1, S_2, S_3, S_4 と、これらの各素子に逆並列接続されるフリーホイーリングダイオード D_1, D_2, D_3, D_4 と、クランプ用ダイオード D_5, D_6 とで構成される中性点クランプ式電力変換器において、パルス幅変調制御用搬送波として、1つは零とプラス側で変化する三角波X、もう1つは零とマイナス側で変化する三角波Yを発生する手段と、この2つの三角波X、YとPWM制御入力信号 e_1 とを比較し、

$e_1 > X$ のとき、 $g_1 = 1$
 $e_1 \leq X$ のとき、 $g_1 = 0$
 $e_1 \geq Y$ のとき、 $g_2 = 0$
 $e_1 < Y$ のとき、 $g_2 = 1$

となる第1及び第2のゲート信号 g_1, g_2 を作る手段と、前記第1のゲート信号 g_1 が「1」から「0」に変化するとき一定時間 Δt だけ前記第2のゲート信号 g_2 を「0」の状態に固定させた新たなゲート信号 g_{22} を作る手段と、前記第2のゲート信号 g_2 が「1」から「0」に変化するとき一定時間 Δt だけ前記第1のゲート信号 g_1 を「0」の状態に固定させた新たなゲート信号 g_{11} を作る手段を設け、前記ゲート信号 $g_{11} = 1$ のとき、前記素子 S_1 をオン（素子 S_2 をオフ）、 $g_{11} = 0$ のとき、前記素子 S_3 をオン（素子 S_1 をオフ）、 $g_{22} = 0$ のとき、前記素子 S_2 をオン（素子 S_4 をオフ）、 $g_{22} = 1$ のとき、前記素子 S_4 をオン（素子 S_2 をオフ）となるようにしてパルス幅変調制御する。

【0018】

【作用】前述のように構成することにより、PWM制御の入力信号 e_1 が急変し、ゲート信号 g_1 が「1」から「0」に、 g_2 が「0」から「1」に、それぞれ変化した場合、当該信号 g_1 の立下がり、（1から0）から一定時間 Δt だけ $g_{22} = 0$ とし、その後、 $g_{22} = g_2$ となるような新たなゲート信号 g_{22} を作り、素子 S_2 及び S_4 をオン、オフさせる。

【0019】又、ゲート信号 g_2 が「1」から「0」にゲート信号 g_1 が「0」から「1」にそれぞれ変化した場合、当該信号 g_2 立下がり（1から0）から一定時間 Δt だけ $g_{11} = 0$ とし、その後、 $g_{11} = g_1$ となるような新たなゲート信号 g_{11} を作り、素子 S_1 、 S_3 をオン、オフさせる。前記時間 Δt は素子の最小オン時間などを考慮して定める。

【0020】この結果、新たなゲート信号は、 $g_{11} = 1$ から $g_{22} = 1$ に移るとき、及び $g_{22} = 1$ から $g_{11} = 1$ に移る時、その間に必ず $g_{11} = 0, g_{22} = 0$ のモードを介在するようになる。言い代えると、素子 S_1 と S_2 がオンの状態から、素子 S_3 と S_4 がオンになる状態に直接移ることはなくなり、必ず素子 S_1 と S_3 がオン（ S_2 と S_4 はオフ）になるモードを介してゲート信号が与えられる。従って、素子の最小オン時間などによりパルス幅が広げられてゲート信号が与えられても、 S_1 がオンで、 S_2 がオフとなるモード（或いは S_4 がオンで、 S_3 がオフとなるモード）はなくなり、素子 S_2 或いは S_3 に直流全電圧 V_d が印加されることはなくなり、従来の問題点を解決することができる。

50 【0021】

【実施例】図1は、本発明の中性点クランプ式インバータの制御装置を説明するための主回路構成図および制御装置のブロック図の一実施例を示す。

【0022】図中、 V_{d1} , V_{d2} は直流電源、 S_1 , S_2 , S_3 , S_4 は自己消弧素子、 $D_1 D_2$, D_3 , D_4 はフリー・ホイーリングダイオード、 D_5 , D_6 はクランプ用ダイオード、LOADは負荷、CT₀は電流検出器である。又、制御回路として、比較器C₀, C₁, C₂、電流制御補償回路G₀(s)、三角波発生器TRG、シュミット回路SH₁, SH₂、モノマルチ回路MM₁, MM₂、論理積回路AND₁, AND₂が設けられている。この図は1相分(U相分)のみを示しているが、3相負荷の場合、他の2相(V相, W相)も同様に構成される。

【0023】U相の負荷電流I₀を電流検出器CT₀により検出し、電流制御回路の比較器C₀に入力する。比較器C₀は電流指令値I_{0*}と電流検出値I₀とを比較し、偏差εU=I_{0*}-I₀を求める。当該偏差εUを次の制御補償回路G₀(s)で增幅し、PWM制御の入力信号e₁とする。

【0024】三角波発生器TRGは2つの三角波X, Yを発生し、比較器C₁, C₂に入力する。比較器C₁は三角波Xと前記入力信号e₁を比較しシュミット回路SH₁を介してゲート信号g₁を作る。又、比較器C₂は三角波Yと前記入力信号e₁を比較し、シュミット回路SH₂を介してゲート信号g₂を作る。

【0025】ゲート信号g₁の立下がりをトリガとしてモノマルチ回路MM₁を動作させる。MM₁の出力は時間Δtの間「0」となる。同様に、ゲート信号g₂の立下がりをトリガとしてモノマルチ回路MM₂を動作させる。MM₂の出力は時間Δtの間「0」となる。

【0026】論理積回路AND₁により、ゲート信号g₁とMM₂の出力信号の論理積をとり、新たなゲート信号g₁₁を作る。即ち、当該ゲート信号g₁₁はモノマルチ回路MM₂が「0」の間、g₁₁=0となり、他はg₁₁=g₁となる。

【0027】又、論理積回路AND₂により、ゲート信号g₂とMM₁の出力信号の論理積をとり、新たなゲート信号g₂₂を作る。即ち、当該ゲート信号g₂₂はモノマルチ回路MM₁が「0」の間、g₂₂=0となり、他はg₂₂=g₂となる。図2は、本発明の動作を説明するためのタイムチャート図である。

【0028】PWM制御の搬送波Xは0~+E_{MAX}の間で変化する一定周波数の三角波である。又、搬送波Yは0~-E_{MAX}の間で変化する一定周波数の三角波で、搬送波Xと同相になっている。PWM制御入力信号e₁がa点でステップ状に変化した場合を考える。PWM制御入力信号e₁と上記三角波X, Yとを比較し、ゲート信号g₁, g₂を作る。即ち、

e₁>Xのとき、g₁=1

e₁≤Xのとき、g₁=0

e₁≥Yのとき、g₂=0

e₁<Yのとき、g₂=1

とする。モノマルチ回路MM₁はゲート信号g₁の立下がりによって動作し、Δtの時間「0」を出力する。同様に、モノマルチ回路MM₂はゲート信号g₂の立下がりによって動作し、Δtの時間「0」を出力する。

【0029】論理積回路AND₁により、ゲート信号g₁とモノマルチ回路MM₂の出力信号m₂との論理積をとり、新たなゲート信号g₁₁を得る。又、論理積回路AND₂により、ゲート信号g₂とモノマルチ回路MM₁の出力信号m₁との論理積をとり、新たなゲート信号g₂₂を得る。即ち、

$$g_{11} = g_1 \cdot m_2, \quad g_{22} = g_2 \cdot m_1$$

となる。インバータを構成する素子S₁, S₂, S₃, S₄は新しいゲート信号g₁₁およびg₂₂によって次のようにオン、オフ制御される。即ち、

g₁₁=1のとき、素子S₁をオン(素子S₃をオフ)

g₁₁=0のとき、素子S₃をオン(素子S₁をオフ)

20 g₂₂=0のとき、素子S₂をオン(素子S₄をオフ)

g₂₂=1のとき、素子S₄をオン(素子S₂をオフ)

となる。

【0030】又、インバータの出力電圧V₀は、素子S₁, S₂, S₃, S₄のオン、オフにより、次のように変化する。但し、全体の直流電圧をV_dとし、V_{d1}=V_{d2}=V_d/2とする。即ち、

素子S₁とS₂がオンのとき、V₀=+V_d/2

素子S₂とS₃がオンのとき、V₀=0

素子S₃とS₄がオンのとき、V₀=-V_d/2

30 となり、3レベルの出力電圧となる。その平均値V₀は上記入力信号e₁に比例位した値となる。

【0031】今、a点で入力信号e₁が急変した場合を考える。ゲート信号g₁の幅が素子S₁の最小オン時間Δt_{on}より短くなるが、新しいゲート信号g₁₁は当該最小オン時間Δt_{on}を確保するように破線で示す信号となる。

【0032】一方、ゲート信号g₂はaの時点で「1」に変化するがモノマルチ回路MM₁の出力m₁が「0」になるため、新しいゲート信号g₂₂はモノマルチ回路MM₂の設定時間Δtだけ「0」の状態を保つ。

【0033】図3は、図2のa点付近を拡大したものである。a点でモノマルチ回路MM₁が動作し、Δtの時間だけm₁=0となり、前のゲート信号g₂がa点で「0」から「1」に変っても、新しいゲート信号g₂₂は「0」の状態を保っていることを示す。もう一方の新しいゲート信号g₁₁は素子最小オン時間Δt_{on}だけパルス幅が広げられるが、Δt>Δt_{on}に選ぶことにより、従来問題となっていたモードの発生はなくなる。

【0034】即ち、g₁₁=1のとき、素子S₁はオンになるが、図3からも解るようにg₁₁=1のときは必ずg

7

$g_{22} = 0$ となり、素子 S_1 がオンのとき S_2 も必ずオンとなり直流全電圧が素子 S_2 に印加されることはなくなる。同様に、 $g_{22} = 1$ となるときは必ず $g_{11} = 0$ となり、素子 S_3 がオンのとき S_4 も必ずオンとなって、直流全電圧が素子 S_3 に印加されることはなくなる。

【0035】これを言い代えると、素子 S_1 がオフのとき素子 S_1 もオフとなっており、図1の出力電流 I_v が矢印の向きに流れている場合、ダイオード D_3 , D_4 が導通し、全電圧 V_v が素子 S_1 と S_2 の直列回路に印加されるが、両者ともオフなので、各素子には $V_v / 2$ の電圧が印加される。同様に、素子 S_3 がオフのときは素子 S_4 もオフとなっており、やはり各素子には $V_v / 2$ 以上の電圧は印加されない。

【0036】即ち、従来のPWM制御装置によると、入力信号 e_1 が急激に変化すると、4つの素子 S_1 , S_2 , S_3 , S_4 のうち、内側の素子 S_2 か S_3 のいずれかに直流全電圧が V_v が印加される危険があったが、本発明によれば、その危険をなくすことができるようになる。

【0037】以上はU相分のインバータについて説明したが、V相、W相も同様に制御され、従来の問題点は解決される。又、3相3線式の負荷にも同様に適用できることは言うまでもない。

【0038】又、図1の制御回路は説明を分り易くするため、ハードウェアの制御ブロック図として表したが、マイクロコンピュータ等を用いて本発明をソフトウェアによる演算で行なうことができることは言うまでもない。

【0039】以上は直流電力を交流電力に変換するインバータについて説明したが、交流電力を直流電力に変換するコンバータについても同様に適用することができるることは言うまでもない。

【0040】

8

【発明の効果】以上説明のように、本発明の中性点クランプ式電力変換器の制御装置によれば、PWM制御の入力信号が急変しても、1つの素子に直流全電圧が印加されるようなモードを避けることができ、素子破壊の危険をなくすことが可能となる。

【図面の簡単な説明】

【図1】本発明の中性点クランプ式電力変換器の制御装置の一実施例を示す主回路構成図と制御装置のブロック図。

【図2】本発明の動作を説明するためのタイムチャート図。

【図3】本発明の動作を説明するための【図2】のタイムチャート図の一部拡大図。

【図4】本発明が適用される中性点クランプ式電力変換器の主回路構成図。

【図5】従来の中性点クランプ式電力変換器の制御装置の動作を説明するためのタイムチャート図。

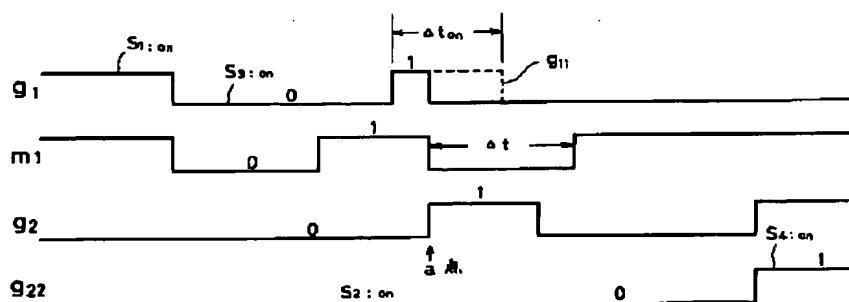
【図6】従来の中性点クランプ式電力変換器の制御装置において、PWM制御入力信号を急変させた場合のタイムチャート図。

【図7】従来の中性点クランプ式電力変換器の制御装置の動作を説明するための【図6】のタイムチャート図の一部拡大図。

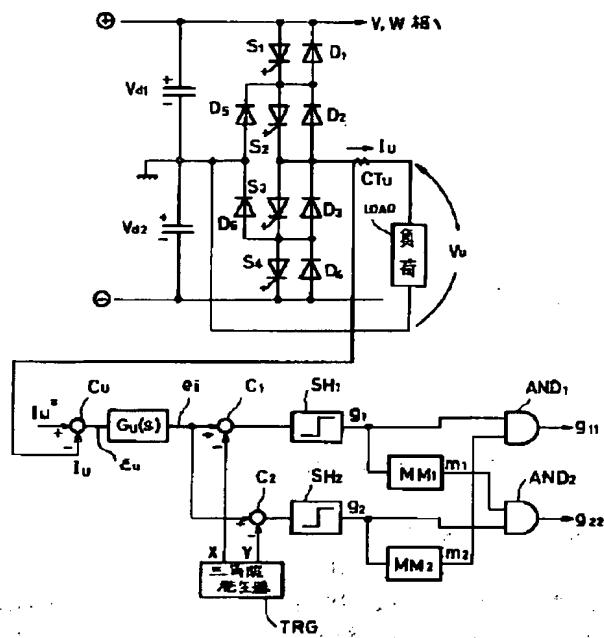
【符号の説明】

V_{d1} , V_{d2} … 直流電源、 S_1 , S_2 , S_3 , S_4 … 自己消孤素子、 D_1 , D_2 , D_3 , D_4 … フリーホイーリングダイオード、 D_5 , D_6 … クランプ用ダイオード、 L … 負荷、 C_T … 電流検出器、 C_0 , C_1 , C_2 … 比較器、 G_v (s) … 電流制御補償回路、 $T R G$ … 三角波発生器、 $S H_1$, $S H_2$ … シュミット回路、 $M M_1$, $M M_2$ … モノマルチ回路、 $A N D_1$, $A N D_2$ … 論理積回路。

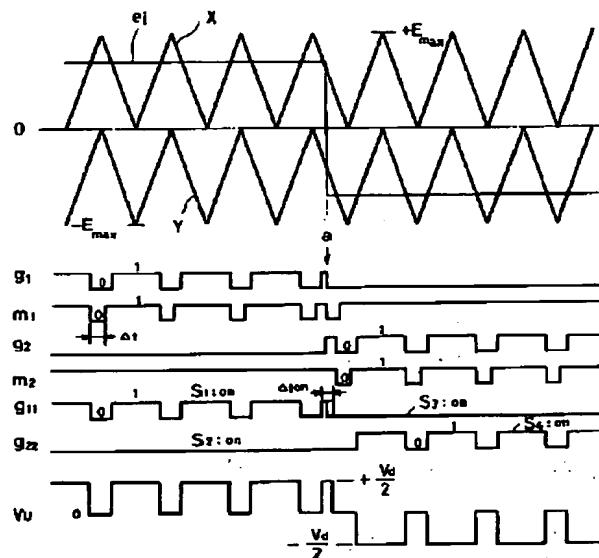
【図3】



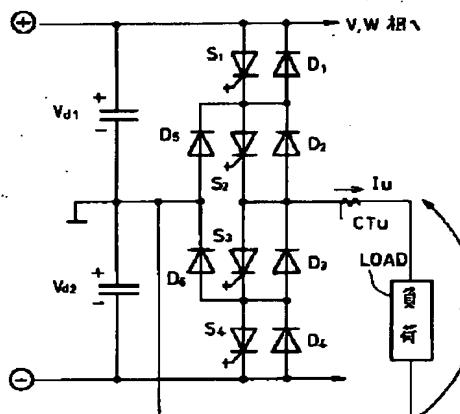
【図1】



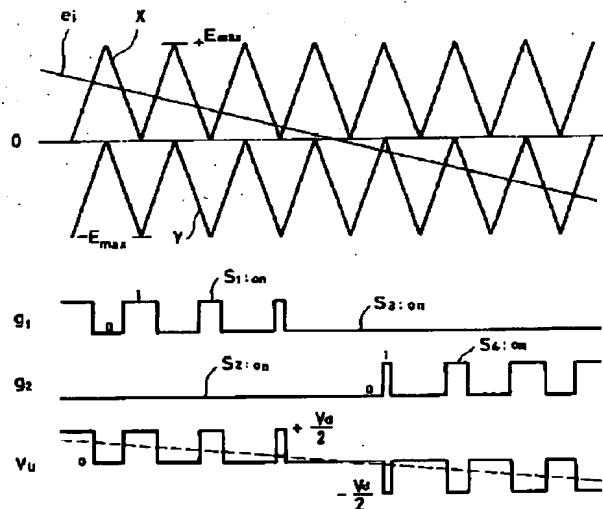
【図2】



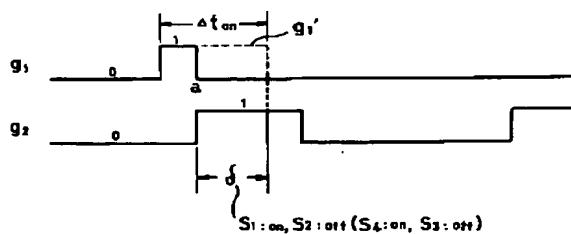
【図4】



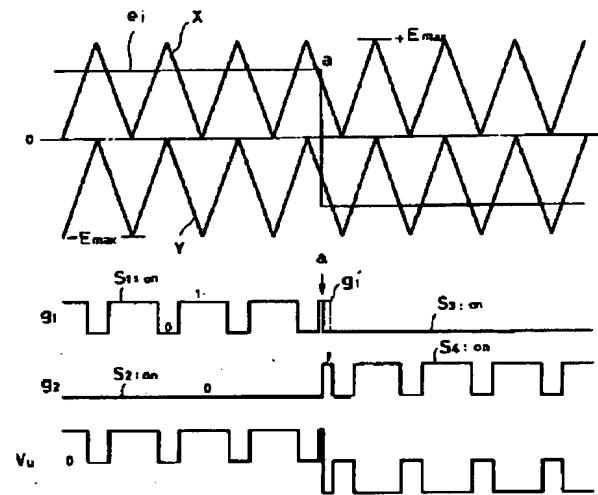
【図5】



【図7】



【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.